

(51) Int.Cl. ⁷	識別記号	F I	テコード [*] (参考)
G 0 6 F 17/50		G 0 6 F 15/00	6 5 8 A 5 B 0 4 6
H 0 1 L 21/82			6 5 8 K 5 F 0 3 8
27/04			6 5 8 U 5 F 0 6 4
21/822		H 0 1 L 21/82	C
			B
審査請求 未請求 請求項の数 5 O L (全 19 頁) 最終頁に続く			

(21) 出願番号 特願平11-302994

(22) 出願日 平成11年10月25日 (1999. 10. 25)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 神谷 泰夫

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 100104190

弁理士 酒井 昭徳

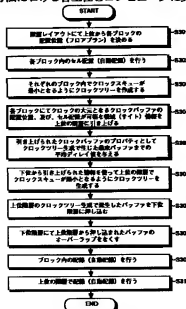
最終頁に続く

(54) 【発明の名称】 半導体集積回路装置のレイアウト設計システム、半導体集積回路装置のレイアウト設計方法、およびそのシステムにおける各手段をもしくはその方法における各工程をコンピュータに実行させる (修正有)

(57) 【要約】

【課題】 複数のブロックを有する階層レイアウトの設計するあたり、レイアウトブロック間のクロック・スキューができるだけ小さくなるようなレイアウトの設計を自動化しておこなう。

【解決手段】 フロアプランおよび各ブロック内のセル配置の設計後、下位階層の各ブロック内でクロック・スキューが最小となるようにクロックツリーを生成し、各ブロックのルートクロックドライバの配置位置およびセル配置が可能な領域の情報を上位階層に引き上げ、各ブロックに対してルートクロックドライバから末端のパッファまでの平均ディレイ値を求め、それらの情報に基づき上位階層においてブロック間のクロック・スキューが最小となるようクロックツリーを生成する。その際、新たに発生したパッファの配置位置を下位階層の対応するブロックのセル配置に基づいて調整し、ブロック内の配線・ブロック間の配線設計をする。



【特許請求の範囲】

【請求項1】 セル配置が決まった複数のブロックのそれぞれに対して、各ブロックにおけるクロック信号の基準となるクロックバッファの配置位置を特定して各ブロック内にクロックツリーを設計する第1の設計手段と、前記第1の設計手段により特定された、各ブロックにおける前記クロックバッファの配置位置、各ブロックバッファの配置位置に基づいて算出される各ブロック内を伝搬するクロック信号のディレイ値に基づいて、複数のブロック間のクロックツリーを設計する第2の設計手段と、

前記第2の設計手段により追加されたバッファがある場合には、その追加されたバッファの配置位置を対応するブロックのセル配置に基づいて調整する調整手段と、を備えたことを特徴とする半導体集積回路装置のレイアウト設計システム。

【請求項2】 複数のブロックのそれぞれに対して、各ブロックにおけるクロック信号の基準となるクロックバッファの配置位置、各ブロックバッファの配置位置および各ブロックの大きさに基づいて算出される各ブロック内を伝搬するクロック信号のディレイ値に基づいて、複数のブロック間のクロックツリーを設計する第1の設計手段と、

前記第1の設計手段により追加されたバッファがある場合には、その追加されたバッファの配置位置を考慮して各ブロックのセル配置を設計する第2の設計手段と、前記第2の設計手段により設計されたセル配置に基づいて、各ブロック内にクロックツリーを設計する第3の設計手段と、を備えたことを特徴とする半導体集積回路装置のレイアウト設計システム。

【請求項3】 セル配置が決まった複数のブロックのそれぞれに対して、各ブロックにおけるクロック信号の基準となるクロックバッファの配置位置を特定して各ブロック内にクロックツリーを設計する第1のステップと、前記第1のステップで特定された、各ブロックにおける前記クロックバッファの配置位置、各ブロックバッファの配置位置に基づいて算出される各ブロック内を伝搬するクロック信号のディレイ値に基づいて、複数のブロック間のクロックツリーを設計する第2のステップと、前記第2のステップで追加されたバッファがある場合には、その追加されたバッファの配置位置を対応するブロックのセル配置に基づいて調整する第3のステップと、を含むことを特徴とする半導体集積回路装置のレイアウト設計方法。

【請求項4】 複数のブロックのそれぞれに対して、各ブロックにおけるクロック信号の基準となるクロックバッファの配置位置、各ブロックバッファの配置位置および各ブロックの大きさに基づいて算出される各ブロック内を伝搬するクロック信号のディレイ値に基づいて、複

数のブロック間のクロックツリーを設計する第1のステップと、

前記第1のステップで追加されたバッファがある場合には、その追加されたバッファの配置位置を考慮して各ブロックのセル配置を設計する第2のステップと、

前記第2のステップで設計されたセル配置に基づいて、各ブロック内にクロックツリーを設計する第3のステップと、を含むことを特徴とする半導体集積回路装置のレイアウト設計方法。

【請求項5】 前記請求項1または2に記載されたシステムにおける各手段をもしくは前記請求項3または4に記載された方法における各工程をコンピュータに実行させるプログラムを記録したことを特徴とするコンピュータ読み取り可能な記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置のレイアウト設計装置、半導体集積回路装置のレイアウト設計システム、半導体集積回路装置のレイアウト設計方法、およびそのシステムにおける各手段をもしくはその方法における各工程をコンピュータに実行させるプログラムを記録したコンピュータ読み取り可能な記録媒体に関する。一般に、半導体集積回路装置は、フリップフロップなどのように、クロックに同期して動作する順序回路を有する。

【0002】ICチップの内部または外部から供給されるクロック信号は、一般に、数段のバッファを通過した後、フリップフロップに到達する。そのため、各フリップフロップ回路にクロック信号が到達する時間、すなわちディレイがフリップフロップごとに異なる場合があり、これをクロック・スキューと呼んでいる。クロック・スキューが大きいと回路が誤動作するおそれがあるため、クロック・スキューをできるだけ小さくする必要がある。

【0003】

【従来の技術】従来、半導体集積回路装置のレイアウト設計において、バッファセル同士の間の配線、およびバッファセルとフリップフロップの間の配線はDAにより自動的におこなわれている。一般に、レイアウトブロック（以下、ブロックとする）内については、クロック・スキューを最小にするため、DAによりクロックツリーが生成される。しかし、レイアウトに複数のブロックを有する階層レイアウトの場合、ブロック間のクロック・スキューが問題となる。ブロック間のクロック・スキューを最小にするため、たとえば、各ブロックのディレイ値を同じにし、クロック信号が供給される端子と各ブロックとの間の配線長を等しくする方法がある。

【0004】

【発明が解決しようとする課題】しかしながら、上述し

た従来の方法では、レイアウト設計の自由度が減るといふ欠点と、設計者が手作業で設計をおこなうため、手間と時間を要するという問題点があった。

【0005】本発明は、上記問題点に鑑みてなされたものであって、複数のブロックを有する階層レイアウトの設計をおこなうにあたって、ブロック間のクロック・スキューができるだけ小さくなるようなレイアウトの設計を自動化しておこなうことができる半導体集積回路装置のレイアウト設計システム、半導体集積回路装置のレイアウト設計方法、およびそのシステムにおける各手段をもしくはその方法における各工程をコンピュータに実行させるプログラムを記録したコンピュータ読み取り可能な記録媒体を提供することを目的とする。

【0006】

【課題を解決するための手段】上記目的を達成するため、本発明は、以下の手順で半導体集積回路装置のレイアウト設計をおこなう。フロアプランおよび各ブロック内のセル配置の設計をおこなった後、下位階層において各ブロック内でクロック・スキューが最小となるようにクロックツリーを生成する。

【0007】そして、各ブロックにおいてクロック信号の基準となるクロックバッファ（ルートクロックドライバ）の配置位置、および、セル配置が可能な領域の情報を上位階層に引き上げるとともに、各ブロックに対して、その基準となるクロックバッファから未端のバッファまでの平均ディレイ値を求める。それらの情報に基づいて、上位階層においてブロック間のクロック・スキューが最小となるようにクロックツリーを生成する。

【0008】その上位階層のクロックツリー生成時に新たに発生したバッファがある場合には、その発生したバッファの配置位置を、下位階層に戻し、対応するブロックのセル配置に基づいて調整する。そして、下位階層においてブロック内の配線設計をおこない、さらに上位階層においてブロック間の配線設計をおこなう。

【0009】あるいは、先に上位階層においてブロック間のクロック・スキューが最小となるようにクロックツリーを生成してから、そのクロックツリー生成時に新たに発生したバッファがある場合には、その発生したバッファの配置位置を考慮して、各ブロック内のセル配置の設計をおこなう。それから、下位階層において各ブロック内のクロックツリーの設計をおこない、配線設計をおこなうようにしてもよい。

【0010】

【発明の実施の形態】以下に、本発明に係る半導体集積回路装置のレイアウト設計システム、半導体集積回路装置のレイアウト設計方法、およびそのシステムにおける各手段をもしくはその方法における各工程をコンピュータに実行させるプログラムを記録したコンピュータ読み取り可能な記録媒体の好適な実施の形態について図面を参

照しつつ詳細に説明する。なお、各レイアウト図において同じ構成要素については同一の符号を付す。

【0011】（実施の形態1）図1は、本発明に係る半導体集積回路装置のレイアウト設計システムとしてのレイアウト設計装置のハードウェア構成を示すブロック図である。

【0012】図1において、101は装置全体を制御するCPUを、102はブートプログラム等を記憶したROMを、103はCPUのワークエリアとして使用されるRAMを、104はCPU101の制御にしたがってHD（ハードディスク）105に対するデータのリード/ライトを制御するHDD（ハードディスクドライブ）を、105はHDD104の制御で書き込まれたデータを記憶するHDをそれぞれ示している。

【0013】また、106はCPU101の制御にしたがってFD（フロッピー（登録商標）ディスク）107に対するデータのリード/ライトを制御するFDD（フロッピーディスクドライブ）を、107はFDD106の制御で書き込まれたデータを記憶する着脱自在の記録媒体の一例としてのFDを、108はレイアウト図その他の情報を表示するディスプレイをそれぞれ示している。

【0014】また、109は通信回線110を介してネットワークNETに接続され、そのネットワークNETと内部のインターフェイスを司るインターフェイス（I/F）を、111は文字、数値、各種指示等の入力のためのキーを備えたキーボードを、112はカーソルの移動や範囲選択等をおこなうマウスを、113は画像を光学的に読み取るスキャナを、114はレイアウト図その他の画像情報を出力するプリンタを、115は上記各部を接続するためのバスをそれぞれ示している。

【0015】さらにまた、半導体集積回路装置のレイアウト設計をおこなうためのプログラム、データ等が格納されている各種データベース（論理回路情報データベース121、セルライブラリ・データベース122、新論理回路情報データベース123等）が接続されている。

【0016】論理回路情報データベース121は、過去にレイアウト設計された論理回路に関する情報等が格納されており、また、セルライブラリ・データベース122は、各種セルに関する情報が格納されており、また、新論理回路情報データベース123は、新たにレイアウト設計された論理回路に関する情報等を格納する。

【0017】上記各種データベース（論理回路情報データベース121、セルライブラリ・データベース122、新論理回路情報データベース123）は、レイアウト設計装置を構成する構成部となっており、たとえば、HD105の所定領域内に格納されている。しかしながら、この構成に限定されるものではなく、これらのデータベースの全部あるいは一部はネットワークNETを介して接続されるような構成（たとえば、ネットワークに

接続される論理回路情報データベース131、セルライブラリ・データベース132、新論理回路情報データベース133)となってもよい。

【0018】図2は、本発明に係る半導体集積回路装置のレイアウト設計システムとしてのレイアウト設計装置の実施の形態1の機能的構成を示す機能ブロック図である。図2において、半導体集積回路のレイアウト設計装置は、第1の設計部201と、第2の設計部202と、調整部203と、から構成される。

【0019】第1の設計部201は、セル配置が決まった複数のブロックのそれぞれに対して、各ブロックにおけるクロック信号の基準となるクロックバッファの配置位置を特定して各ブロック内にクロックツリーを設計する。

【0020】また、第2の設計部202は、第1の設計部201により特定された、各ブロックにおける上記クロックバッファの配置位置、各ブロックバッファの配置位置に基づいて算出される各ブロック内を伝播するクロック信号のディレイ値に基づいて、複数のブロック間のクロックツリーを設計する。

【0021】また、調整部203は、第2の設計部202により追加されたバッファがある場合に、その追加されたバッファの配置位置を対応するブロックのセル配置に基づいて調整する。

【0022】なお、第1の設計部201、第2の設計部202、調整部203はそれぞれ、ROM102、RAM103またはHD105等の記録媒体に記録されたプログラムに記載された命令に従ってCPU101等が命令処理を実行することにより、各部の機能を実現する。

【0023】図3は、本発明に係るレイアウト設計方法の実施の形態1を示すフローチャートである。実施の形態1のレイアウト設計処理が開始されると、まず、フロアプランの設計がおこなわれる(ステップS301)。

フロアプランの設計では、たとえば図12に示すレイアウト図のように、階層レイアウトにて上位階層から各ブロック1、2、3の配置位置が決められる。

【0024】続いて、ステップS301で生成されたフロアプランに基づいて、それぞれのブロック内のセルの配置が自動的におこなわれる(ステップS302)。そして、それぞれのブロック内でクロック・スキューが最小となるように、クロックツリーが生成される(ステップS303)。

【0025】このクロックツリーの生成ステップでは、たとえば図13に示すレイアウト図のように、各ブロック1、2、3ごとに、各ブロック1、2、3においてクロックの元となるクロックバッファ11、21、31(ハッチングを太線で付したセル)が一つずつ配置される。

【0026】また、各ブロック1、2、3ごとにクロック・スキューを調整するためのバッファ(ハッチングを

細線で付したセル)12、22、32が追加生成され、各ブロック1、2、3内に適宜配置される。以下、クロックの元となるクロックバッファ11、21、31を、追加生成されたもののバッファ12、22、32と区別するため、ルートクロックドライバと称する。

【0027】ステップS303で生成された下位階層のクロックツリーに基づいて、各ブロックのルートクロックドライバの配置位置と、セルの配置が可能な領域(以下、サイトとする)の情報が、上位の階層に引き上げられる(ステップS304)。つまり、たとえば図14に示すレイアウト図のように、各ブロック1、2、3内にルートクロックドライバ11、21、31とサイト13、23、33が配置された情報が上位階層に与えられる。

【0028】続いて、ステップS304で上位階層に引き上げられた各ルートクロックドライバに、ステップS303で生成された各ブロックのクロックツリーにおいてルートクロックドライバから末端のバッファまでの平均ディレイ値が、属性(プロパティ)として与えられる(ステップS305)。そして、下位階層から引き上げられた情報に基づいて、上位の階層においてクロック・スキューが最小となるようにクロックツリーが生成される(ステップS306)。

【0029】このクロックツリーの生成ステップでは、たとえば図15に示すレイアウト図のように、たとえば外部からクロック信号が供給される端子150が特定される。また、各ルートクロックドライバ11、21、31は末端のセルとみなされる。そして、ステップS305で各ルートクロックドライバ11、21、31に与えられた平均ディレイ値に基づいて、各ブロック1、2、3ごとに、クロック・スキューを調整するためのバッファ(網掛けをしたセル)14、24、34が追加生成され、各ブロック1、2、3内に適宜配置される。図15において、クロック供給端子150からバッファ14、24、34を経由して各ルートクロックドライバ11、21、31に至る破線は、想定される配線経路を表している。

【0030】ステップS306で追加生成された上位階層におけるバッファ14、24、34の情報が下位階層に与えられる(ステップS307)。それによつて、たとえば図16に示すレイアウト図のように、各ブロック1、2、3内に、ルートクロックドライバ11、21、31、下位階層のクロックツリー生成時に追加されたバッファ12、22、32、および上位階層のクロックツリー生成時に追加されたバッファ14、24、34が配置された情報が得られる。

【0031】続いて、下位階層のブロックごとに、上位階層から与えられたバッファ14、24、34のオーバーラップが解消される(ステップS308)。つまり、たとえば図17に示すレイアウト図のように、バッファ

14, 24, 34は、それぞれ、ステップS302で配置された各ブロックのセル群の中のいずれかのセルに一致するように配置位置を調整される。

【0032】バッファのオーバーラップが解消されたら、各ブロックに対して自動配線がおこなわれる(ステップS309)。それに続いて、上位階層において自動配線がおこなわれる(ステップS310)。そして、処理が終了する。

【0033】実施の形態1によれば、階層レイアウトの設計をおこなうにあたって、下位階層の各ブロック内の設計だけでなく、ブロック間の設計においても、クロック・スキューをできるだけ小さくするようなレイアウトの設計を自動化しておこなうことができる。したがって、従来の等長配線をおこなう場合に比べて、レイアウトの自由度が増すとともに、設計の省力化および設計時間の短縮化を図ることができる。

【0034】(実施の形態2)本発明に係る半導体集積回路装置のレイアウト設計システムとしてのレイアウト装置の実施の形態2のハードウェア構成は、図1に示した実施の形態1のハードウェア構成と同様であるのでその説明は省略する。

【0035】図4は、本発明に係る半導体集積回路装置のレイアウト設計システムとしてのレイアウト設計装置の実施の形態2の機能的構成を示す機能ブロック図である。図4において、半導体集積回路のレイアウト設計装置は、第1の設計部401と、第2の設計部402と、第3の設計部403と、から構成される。

【0036】第1の設計部401は、複数のブロックのそれぞれに対して、各ブロックにおけるクロック信号の基準となるクロックバッファの配置位置、各ブロックバッファの配置位置および各ブロックの大きさに基づいて算出される各ブロック内を伝播するクロック信号のディレイ値に基づいて、複数のブロック間のクロックツリーを設計する。

【0037】また、第2の設計部402は、第1の設計部401により追加されたバッファがある場合には、その追加されたバッファの配置位置を考慮して各ブロックのセル配置を設計する。また、第3の設計部403は、第2の設計部402により設計されたセル配置に基づいて、各ブロック内にクロックツリーを設計する。

【0038】なお、第1の設計部401、第2の設計部402、第3の設計部403はそれぞれ、ROM102、RAM103またはHD105等の記録媒体に記録されたプログラムに記載された命令に従ってCPU101等が命令処理を実行することにより、各部の機能を実現する。

【0039】図5は、本発明に係るレイアウト設計方法の実施の形態2を示すフローチャートである。実施の形態2のレイアウト設計処理が開始されると、まず、階層レイアウトにて上位階層から各ブロックの配置、すなわ

ちフロアプランの設計がおこなわれる(ステップS501)。続いて、ステップS501で生成されたフロアプランに基づいて、各ブロックのルートクロックドライバの配置位置と、サイトの情報が抽出される(ステップS502)。

【0040】ステップS502で抽出されたルートクロックドライバの配置位置およびサイト情報に基づいて、ブロックごとに、そのブロックの大きさに応じたディレイ値が求められる。そして、各ブロックにおいて、その求められたディレイ値を属性として有するルートクロックドライバが想定される。

【0041】その想定されたルートクロックドライバと、クロック信号が供給される端子位置とに基づいて、上位階層においてクロック・スキューが最小となるようにクロックツリーが生成される(ステップS503)。その際、ブロックごとにクロック・スキューを調整するためのバッファが追加生成され、各ブロック内に適宜配置される。

【0042】ステップS503でバッファが追加生成されると、そのバッファの情報が下位階層に与えられる(ステップS504)。その上位階層のバッファ情報を用いて、各ブロックにおいて、ブロック内のセルの配置が自動的におこなわれる(ステップS505)。そして、それぞれのブロック内でクロック・スキューが最小となるように、クロックツリーが生成される(ステップS506)。その際、ターゲットとなるクロック・スキューの値は、ステップS503で上位階層のクロックツリーを生成する際に使用した値とする。

【0043】続いて、各ブロックに対して自動配線がおこなわれ(ステップS507)、さらに、上位階層において自動配線がおこなわれる(ステップS508)。そして、処理が終了する。

【0044】実施の形態2によれば、階層レイアウトの設計をおこなうにあたって、下位階層の各ブロック内の設計だけでなく、ブロック間の設計においても、クロック・スキューをできるだけ小さくするようなレイアウトの設計を自動化しておこなうことができる。したがって、従来の等長配線をおこなう場合に比べて、レイアウトの自由度が増すとともに、設計の省力化および設計時間の短縮化を図ることができる。

【0045】(実施の形態3)実施の形態3は、実施の形態1において、下位階層のクロックツリーを生成する際に、各ブロックにディレイ値の異なる複数のルートクロックドライバを用意し、上位階層のクロックツリー生成時に、適当なディレイ値を有するルートクロックドライバを選択して使用するものである。

【0046】本発明に係る半導体集積回路装置のレイアウト設計システムとしてのレイアウト装置の実施の形態3のハードウェア構成は、図1に示した実施の形態1のハードウェア構成と同様であるのでその説明は省略す

る。

【0047】図6は、本発明に係る半導体集積回路装置のレイアウト設計システムとしてのレイアウト設計装置の実施の形態3の機能的構成を示す機能ブロック図である。なお、図2に示した実施の形態1の機能的構成と同様の構成については同一の符号を付してその説明を省略する。

【0048】図6において、半導体集積回路のレイアウト設計装置は、第1の設計部201と、第2の設計部202と、調整部203と、から構成され、さらに、第2の設計部202は、クロックバッファ設定部601と、クロックバッファ決定部602とを有する。

【0049】クロックバッファ設定部601は、各ブロックに対して遅延時間の異なる複数のクロックバッファを設定する。また、クロックバッファ決定部602は、各ブロックに対して、前記第4のステップで設定された複数のクロックバッファの中から遅延時間に基づいて一つを選択して、当該ブロックのクロックバッファに決定する。

【0050】なお、クロックバッファ設定部601、クロックバッファ決定部602はそれぞれ、ROM102、RAM103またはHD105等の記録媒体に記録されたプログラムに記載された命令に従ってCPU101等が命令処理を実行することにより、各部の機能を実現する。

【0051】図7は、本発明に係るレイアウト設計方法の実施の形態3を示すフローチャートである。実施の形態3のレイアウト設計処理が開始されると、まず、階層レイアウトにて上位階層から各ブロックの配置、すなわちフロアプランの設計がおこなわれる（ステップS701）。続いて、ステップS701で生成されたフロアプランに基づいて、それぞれのブロック内のセルの配置が自動的におこなわれる（ステップS702）。

【0052】そして、それぞれのブロック内でクロック・スキューが最小となるように、ルートクロックドライバの配置、およびクロック・スキューを調整するためのバッファの配置がおこなわれる。それによって、クロックツリーが生成される（ステップS703）。

【0053】ステップS703で生成された下位階層のクロックツリーに基づいて、各ブロックのルートクロックドライバの配置位置およびサイト情報が上位の階層に引き上げられる（ステップS704）。その際、各ブロックにおいて、ディレイ値が異なる複数のルートクロックドライバが設定される（ステップS705）。たとえば図18に示すレイアウト図のように、ブロック4内に、特に限定しないが、たとえば1ns、2ns、3nsおよび4nsの各ディレイ値を有するルートクロックドライバ41、42、43、44が用意される。

【0054】続いて、上位階層に引き上げられた各ルートクロックドライバに、下位階層のクロックツリーにお

いて各ルートクロックドライバから末端のバッファまでの平均ディレイ値が、属性（プロパティ）として与えられる（ステップS706）。そして、下位階層から引き上げられた情報に基づいて、上位の階層においてクロック・スキューが最小となるようにクロックツリーが生成される（ステップS707）。

【0055】その際、各ブロック間のクロック・スキューを合わせるために、各ブロックにおいて最適なディレイ値を有するルートクロックドライバが選択される。そのため、実施の形態3では、上位の階層において、クロック・スキューを調整するためのバッファは生成されない。

【0056】その後、各ブロックに対して自動配線がおこなわれ（ステップS708）、さらに上位階層において自動配線がおこなわれる（ステップS709）。そして、処理が終了する。

【0057】実施の形態3によれば、実施の形態1と同様に、上位階層のブロック間の設計においても、クロック・スキューをできるだけ小さくするようレイアウトの設計を自動化しておこなうことができる。また、上位階層のクロックツリーを生成する際に、クロック・スキューを調整するためのバッファが生成されないで、下位階層においてバッファのオーバーラップを解消する必要がなくなる。よって、実施の形態1に比べてレイアウト処理が簡略化される。

【0058】（実施の形態4）実施の形態4は、実施の形態1において、下位階層のクロックツリーを生成する際にディレイ値を計算するために想定したブロック端子を仮定の端子とし、その仮定の端子の位置を反映させて自動配線をおこなうものである。

【0059】本発明に係る半導体集積回路装置のレイアウト設計システムとしてのレイアウト設計装置の実施の形態4のハードウェア構成も、図1に示した実施の形態1のハードウェア構成と同様であるのでその説明は省略する。

【0060】図8は、本発明に係る半導体集積回路装置のレイアウト設計システムとしてのレイアウト設計装置の実施の形態4の機能的構成を示す機能ブロック図である。なお、図2に示した実施の形態1の機能的構成と同様の構成については同一の符号を付してその説明を省略する。

【0061】図8において、半導体集積回路のレイアウト設計装置は、第1の設計部201と、第2の設計部202と、調整部203と、配線部802から構成され、さらに、第1の設計部201は、仮端子設定部801を有する。

【0062】仮端子設定部801は、ブロック内のクロックツリーを設計するときの基準となるブロック内の配線経路を規定するために、仮の端子を設定する。また、配線部802は、仮端子設定部801により設定された

仮の端子を通るようにブロック内の配線をおこなう。

【0063】なお、仮端子設定部801、配線部802はそれぞれ、ROM102、RAM103またはHD105等の記録媒体に記録されたプログラムに記載された命令に従ってCPU101等が命令処理を実行することにより、各部の機能を実現する。

【0064】図9は、本発明に係るレイアウト設計方法の実施の形態4を示すフローチャートである。実施の形態4のレイアウト設計処理が開始されると、まず、階層レイアウトにて上位階層から各ブロックの配置、すなわちフロアプランの設計がおこなわれる（ステップS901）。続いて、ステップS901で生成されたフロアプランに基づいて、それぞれのブロック内のセルの配置が自動的におこなわれる（ステップS902）。

【0065】ブロック内のセル配置が終了すると、それぞれのブロック内でクロック・スキューが最小となるように、ルートクロックドライバの配置、およびクロック・スキューを調整するためのバッファの配置がおこなわれる。それによって、クロックツリーが生成される（ステップS903）。その際、各ブロックにおいて、ディレイ値を計算するために、配線経路を仮に設定するためのブロック端子が想定される。

【0066】続いて、ステップS903で想定されたブロック端子が仮の端子として設定される（ステップS904）。そして、その仮の端子の配置位置とともに、各ブロックのルートクロックドライバの配置位置およびサイト情報が上位の階層に引き上げられる（ステップS905）。

【0067】続いて、上位階層に引き上げられた各ルートクロックドライバに、下位階層のクロックツリーにおいて各ルートクロックドライバから末端のバッファまでの平均ディレイ値が、属性（プロパティ）として与えられる（ステップS906）。そして、下位階層から引き上げられた情報に基づいて、上位の階層においてクロック・スキューが最小となるようにクロックツリーが生成される（ステップS907）。その際、各ブロックに、クロック・スキューを調整するためのバッファが追加生成され、各ブロック内に適宜配置される。

【0068】続いて、ステップS907で追加生成された上位階層におけるバッファの情報が下位階層に与えられる（ステップS908）。そして、下位階層のブロックごとに、上位階層から与えられたバッファのオーバーラップが解消される（ステップS909）。バッファのオーバーラップが解消されたら、各ブロックに対して自動配線がおこなわれる（ステップS910）。

【0069】その際、たとえば図19に示すレイアウト図のように、ブロック5において、ルートクロックドライバ51と、上位階層のクロックツリー生成時に追加されたバッファ54と、ステップS904で設定された仮の端子55を通るようにブロック内の配線がおこなわれ

る。

【0070】その後、上位階層において自動配線がおこなわれる（ステップS911）。その際、たとえば図19に示すレイアウト図のように、クロック信号が供給される端子（図示省略）とステップS904で設定された仮の端子55とを結ぶように配線がおこなわれる。そして、処理が終了する。

【0071】実施の形態4によれば、実施の形態1と同様に、上位階層のブロック間の設計においても、クロック・スキューをできるだけ小さくするようなレイアウトの設計を自動化しておこなうことができる。また、下位階層のクロックツリーを生成する際のディレイ値計算のために想定したブロック端子を仮の端子とし、その仮の端子の位置を反映させて自動配線をおこなうため、より一層正確で確実にクロック・スキューの調整をおこなうことができる。

【0072】（実施の形態5）実施の形態4は、実施の形態1において、下位階層にクロックツリーの生成が不可能なハードマクロなどのブロック（以下、ハードマクロブロックとする）がある場合に、そのハードマクロブロックのクロック・スキューを合わせるためのバッファを他のブロック内に配置し、そのバッファとハードマクロブロックとの間を配線するものである。

【0073】本発明に係る半導体集積回路装置のレイアウト設計システムとしてのレイアウト設計装置の実施の形態5のハードウェア構成も、図1に示した実施の形態1のハードウェア構成と同様であるのでその説明は省略する。

【0074】図10は、本発明に係る半導体集積回路装置のレイアウト設計システムとしてのレイアウト設計装置の実施の形態5の機能的構成を示す機能ブロック図である。なお、図2に示した実施の形態1の機能的構成と同様の構成については同一の符号を付してその説明を省略する。

【0075】図10において、半導体集積回路のレイアウト設計装置は、第1の設計部201と、第2の設計部202と、調整部203と、配線部1002から構成され、さらに、第2の設計部202はバッファ配置部1001を有する。

【0076】バッファ配置部1001は、任意のブロックのクロック・スキューを調整するために、当該ブロックとは異なる別のブロックにバッファを配置する。また、配線部1002は、バッファ配置部1001により設定されたバッファと当該ブロックとを配線で接続する。

【0077】なお、バッファ配置部1001、配線部1002はそれぞれ、ROM102、RAM103またはHD105等の記録媒体に記録されたプログラムに記載された命令に従ってCPU101等が命令処理を実行することにより、各部の機能を実現する。

【0078】図11は、本発明に係るレイアウト設計方法の実施の形態5を示すフローチャートである。実施の形態5のレイアウト設計処理が開始されると、まず、階層レイアウトにて上位階層から各ブロックの配置、すなわちフロアプランの設計がおこなわれる（ステップS1101）。続いて、ステップS1101で生成されたフロアプランに基づいて、それぞれのブロック内のセルの配置が自動的におこなわれる（ステップS1102）。

【0079】ブロック内のセル配置が終了すると、それぞれのブロック内でクロック・スキューが最小となるように、ルートクロックドライバの配置、およびクロック・スキューを調整するためのバッファの配置がおこなわれる。それによって、クロックツリーが生成される（ステップS1103）。

【0080】下位階層のクロックツリーが生成されると、各ブロックのルートクロックドライバの配置位置およびサイト情報が上位の階層に引き上げられる（ステップS1104）。そして、上位階層に引き上げられた各ルートクロックドライバに、下位階層のクロックツリーにおいて各ルートクロックドライバから末端のバッファまでの平均ディレイ値が、属性（プロパティ）として与えられる（ステップS1105）。

【0081】下位階層から引き上げられた情報に基づいて、上位の階層においてクロック・スキューが最小となるように、バッファが適宜追加生成され、クロックツリーが生成される（ステップS1106）。

【0082】その際、ブロック内にあるサイトにクロック・スキューの調整ができない場合、たとえばハードマクロ等のようにブロック内にバッファを追加配置させることができない場合には、別のブロック内のサイトにバッファが設けられる。ハードマクロブロック等のクロック・スキューは、その別のブロックに用意されたバッファを用いて調整される（ステップS1107）。

【0083】たとえば図20に示すレイアウト図のように、ハードマクロブロック6のクロック・スキューを調整するためのバッファ36は、別のブロック3内に設けられる。

【0084】続いて、ステップS1107で追加生成された上位階層におけるバッファの情報で下位階層に与えられる（ステップS1108）。下位階層に与えられるバッファの情報には、ハードマクロブロック6と別のブロック3内のバッファ36とが配線により接続されるといった情報が含まれる。そして、下位階層のブロックごとに、上位階層から与えられたバッファのオーバーラップが解消される（ステップS1109）。バッファのオーバーラップが解消されたら、各ブロックに対して自動配線がおこなわれる（ステップS1110）。

【0085】さらに、上位階層において自動配線がおこなわれる（ステップS1111）。その際、たとえば図20に示すレイアウト図のように、ハードマクロブロッ

ク6と別のブロック3内のバッファ36とは配線により接続される。そして、処理が終了する。

【0086】実施の形態5によれば、実施の形態1と同様に、上位階層のブロック間の設計においても、クロック・スキューをできるだけ小さくするようなレイアウトの設計を自動化しておこなうことができる。また、下位階層にクロックツリーの生成が不可能なブロックがある場合でも、そのブロックのクロック・スキューを合わせることができる。

【0087】以上において本発明は、上記各実施の形態に限らず、種々変更可能である。たとえば、実施の形態5において、ブロック内のサイトにバッファを配置させてクロック・スキューの調整をおこなうことができるブロックについて、ハードマクロブロックと同様に別のブロックにクロック・スキューの調整用のバッファを配置させるようにしてもよい。

【0088】なお、実施の形態1〜5で説明したレイアウト設計方法は、あらかじめ用意されたプログラムをパーソナルコンピュータやワークステーション等のコンピュータで実行することにより実現することができる。たとえば、一般的なDA（Design Automation）を用いて実行される。なお、フローチャートの説明とともに参照した図12〜図20に示すレイアウト図は、必ずしもDAに接続されたモニタ（ディスプレイ108）やプリンタ114に出力されるものではない。

【0089】また、これらのプログラムは、たとえばハードディスク、フロッピーディスク、CD-ROM、MO、DVD等のコンピュータで読み取り可能な記録媒体に記録され、コンピュータによって記録媒体から読み出されることによって実行される。またこのプログラムは、上記記録媒体を介して、また、伝送媒体としてネットワークを介して配布することができる。

【0090】また、請求項3に記載した発明である「セル配置が決まった複数のブロックのそれぞれに対して、各ブロックにおけるクロック信号の基準となるクロックバッファの配置位置を特定して各ブロック内にクロックツリーを設計する第1のステップと、前記第1のステップで特定された、各ブロックにおける前記クロックバッファの配置位置、各ブロックバッファの配置位置に基づいて算出される各ブロック内を伝搬するクロック信号のディレイ値に基づいて、複数のブロック間のクロックツリーを設計する第2のステップと、前記第2のステップで追加されたバッファがある場合には、その追加されたバッファの配置位置を対応するブロックのセル配置に基づいて調整する第3のステップと、を含むこと」を特徴とする半導体集積回路装置のレイアウト設計方法。」に対して、たとえば以下の内容を、従属する請求項の例として考えることができる。

【0091】（請求項例1） 前記第2のステップは、各ブロックに対して遅延時間の異なる複数のクロックバ

バッファを設定する第4のステップと、各ブロックに対して、前記第4のステップで設定された複数のクロックバッファの中から遅延時間に基づいて一つを選択して、当該ブロックのクロックバッファに決定する第5のステップと、をさらに有することを特徴とする請求項3に記載の半導体集積回路装置のレイアウト設計方法。

【0092】(請求項例2) 前記第1のステップは、ブロック内のクロックツリーを設計するときの基準となるブロック内の配線経路を規定するために、仮定の端子を設定する第6のステップをさらに有し、また、前記第3のステップの後に、前記第6のステップで設定された前記仮定の端子を通してブロック内の配線をおこなう第7のステップを有することを特徴とする請求項3に記載の半導体集積回路装置のレイアウト設計方法。

【0093】(請求項例3) 前記第2のステップは、任意のブロックのクロック・スキューを調整するために、当該ブロックとは異なる別のブロックにバッファを配置する第8のステップをさらに有し、また、前記第3のステップの後に、前記第8のステップで設定されたバッファと当該ブロックとを配線で接続する第9のステップを有することを特徴とする請求項3に記載の半導体集積回路装置のレイアウト設計方法。

【0094】

【発明の効果】以上説明したように、本発明によれば、階層レイアウトの設計をおこなうにあたって、下位階層の各ブロック内の設計だけでなく、ブロック間の設計においても、クロック・スキューをできるだけ小さくするようなレイアウトの設計を自動化しておこなうことができる。

【図面の簡単な説明】

【図1】本発明に係るレイアウト設計装置のハードウェア構成を示すブロック図である。

【図2】本発明に係るレイアウト設計装置の実施の形態1の機能的構成を示す機能ブロック図である。

【図3】本発明に係るレイアウト設計方法の実施の形態1を示すフローチャートである。

【図4】本発明に係るレイアウト設計装置の実施の形態2の機能的構成を示す機能ブロック図である。

【図5】本発明に係るレイアウト設計方法の実施の形態2を示すフローチャートである。

【図6】本発明に係るレイアウト設計装置の実施の形態3の機能的構成を示す機能ブロック図である。

【図7】本発明に係るレイアウト設計方法の実施の形態

3を示すフローチャートである。

【図8】本発明に係るレイアウト設計装置の実施の形態4の機能的構成を示す機能ブロック図である。

【図9】本発明に係るレイアウト設計方法の実施の形態4を示すフローチャートである。

【図10】本発明に係るレイアウト設計装置の実施の形態5の機能的構成を示す機能ブロック図である。

【図11】本発明に係るレイアウト設計方法の実施の形態5を示すフローチャートである。

【図12】本発明により設計中のレイアウトの一例を示すレイアウト図である。

【図13】本発明により設計中のレイアウトの別の一例を示すレイアウト図である。

【図14】本発明により設計中のレイアウトの別の一例を示すレイアウト図である。

【図15】本発明により設計中のレイアウトの別の一例を示すレイアウト図である。

【図16】本発明により設計中のレイアウトの別の一例を示すレイアウト図である。

【図17】本発明により設計中のレイアウトの別の一例を示すレイアウト図である。

【図18】本発明により設計中のレイアウトの別の一例を示すレイアウト図である。

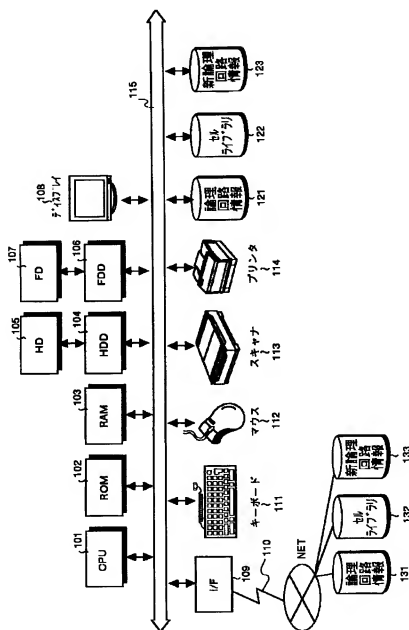
【図19】本発明により設計中のレイアウトの別の一例を示すレイアウト図である。

【図20】本発明により設計中のレイアウトの別の一例を示すレイアウト図である。

【符号の説明】

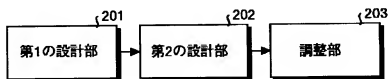
- 1, 2, 3, 4, 5, 6 ブロック
- 11, 21, 31, 41, 42, 43, 44, 51
クロックバッファ (ルートクロックドライバ)
- 13, 23, 33 セルの配置が可能な領域
- 14, 24, 34, 36, 54 バッファ
- 55 仮定の端子 (仮の端子)
- 201, 401 第1の設計部
- 202, 402 第2の設計部
- 203 調整部
- 403 第3の設計部
- 601 クロックバッファ設定部
- 602 クロックバッファ決定部
- 801 仮端子設定部
- 802, 1002 配線部
- 1001 バッファ配置部

【図1】



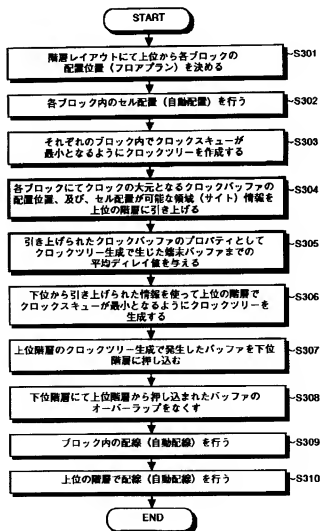
本発明に係るレイアウト設計装置のハードウェア構成を示すブロック図

【図2】



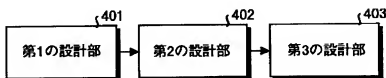
本発明に係るレイアウト設計装置の
実施の形態1の機能的構成を示す機能ブロック図

【図3】



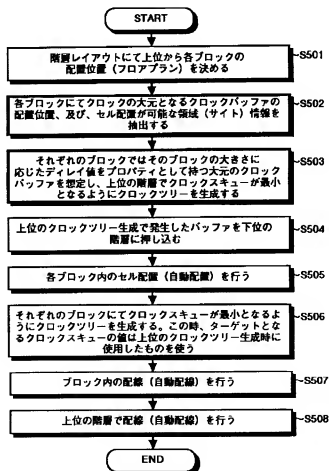
本発明に係るレイアウト設計方法の実施の形態1を示すフローチャート

【図4】



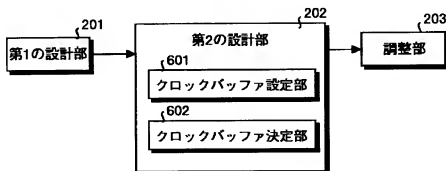
本発明に係るレイアウト設計装置の
実施の形態2の機能的構成を示す機能ブロック図

【図5】



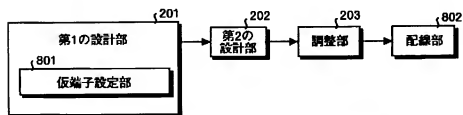
本発明に係るレイアウト設計方法の実施の形態2を示すフローチャート

【図6】



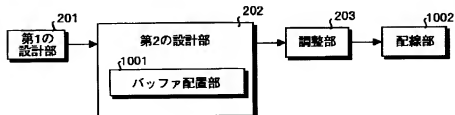
本発明に係るレイアウト設計装置の
実施の形態3の機能的構成を示す機能ブロック図

【図8】



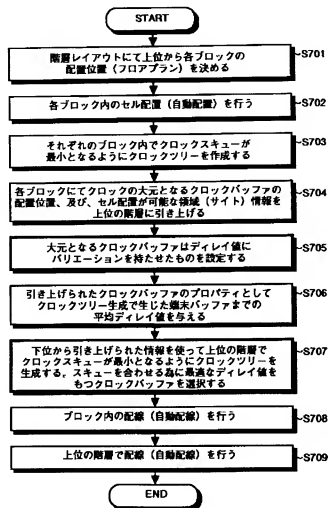
本発明に係るレイアウト設計装置の
実施の形態4の機能的構成を示す機能ブロック図

【図10】



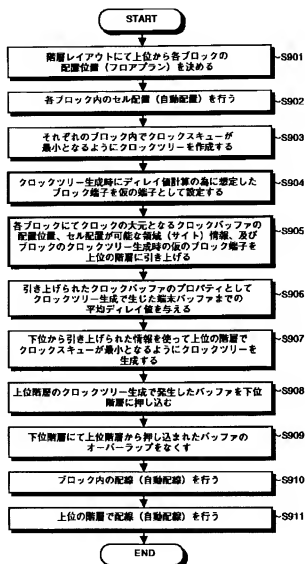
本発明に係るレイアウト設計装置の
実施の形態5の機能的構成を示す機能ブロック図

【図7】



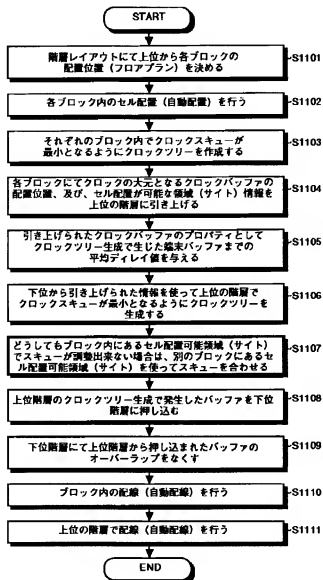
本発明に係るレイアウト設計方法の実施の形態3を示すフローチャート

【図9】



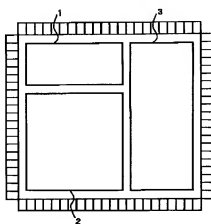
本発明に係るレイアウト設計方法の実施の形態4を示すフローチャート

【図 11】



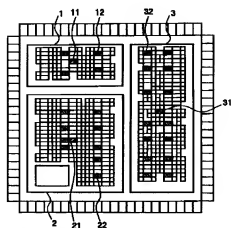
本発明に係るレイアウト設計方法の実施の形態5を示すフローチャート

【図12】



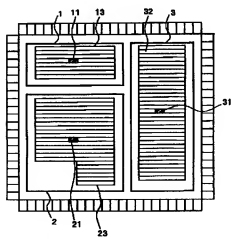
本発明により設計中のレイアウトの一例を示すレイアウト図

【図13】



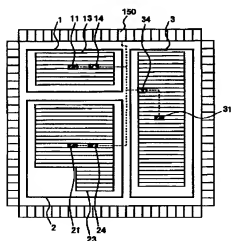
本発明により設計中のレイアウトの別の一例を示すレイアウト図

【図14】



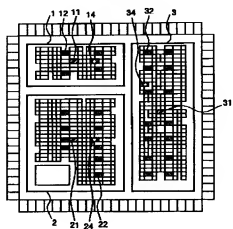
本発明により設計中のレイアウトの別の一例を示すレイアウト図

【図15】



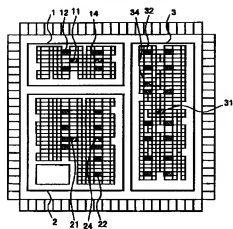
本発明により設計中のレイアウトの別の一例を示すレイアウト図

【図16】



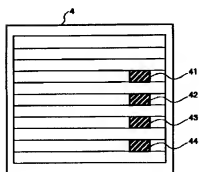
本発明により設計中のレイアウトの別の一例を示すレイアウト図

【図17】



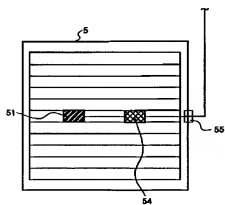
本発明により設計中のレイアウトの別の一例を示すレイアウト図

【図18】



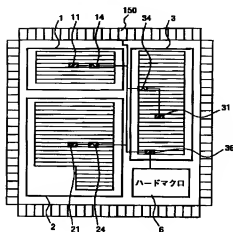
本発明により設計中のレイアウトの別の一例を示すレイアウト図

【図19】



本発明により設計中のレイアウトの別の一例を示すレイアウト図

【図20】



本発明により設計中のレイアウトの別の一例を示すレイアウト図

フロントページの続き

(51)Int.Cl.⁷

識別記号

F I
H 0 1 L 27/04

テマコード(参考)
D

Fターム(参考) 5B046 A008 BA05
5F038 CA03 CA05 CA17 CD06 CD08
CD09 DF11 EZ09 EZ20
5F064 AA04 BB26 DD02 DD04 DD05
DD07 DD14 DD25 EE02 EE08
EE47 EE54 HH01 HH06 HH12

【発明の名称】

半導体集積回路装置のレイアウト設計システム、半導体集積回路装置のレイアウト設計方法、およびそのシステムにおける各手段をもしくはその方法における各工程をコンピュータに実行させるプログラムを記録したコンピュータ読み取り可能な記録媒体